

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-015610  
(43)Date of publication of application : 17.01.2003

---

(51)Int.CI. G09G 3/36  
G02F 1/133  
G02F 1/1368  
G09G 3/20

---

(21)Application number : 2001-198930 (71)Applicant : SANYO ELECTRIC CO LTD  
(22)Date of filing : 29.06.2001 (72)Inventor : KITAGAWA MAKOTO  
KOBAYASHI MITSUGI  
FUJIOKA MAKOTO

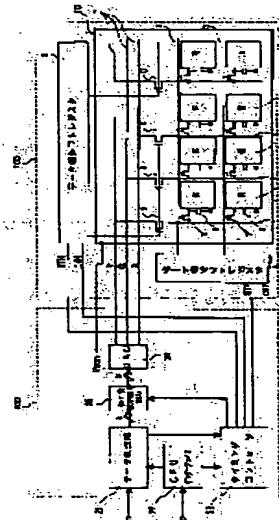
---

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE AND CONTROL DEVICE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality by preventing an after image phenomenon at the time of interrupting display in an active matrix type display device.

SOLUTION: Before interrupting display, all the pixel electrodes are supplied with display signals before interrupting, and charges held by auxiliary capacitance 9 are discharged before halting the display. Since this operation eliminates the afterimage, the display can clearly be changed over when halting the display from normal operation, and display quality is improved.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The switching element arranged at the intersection of two or more gate lines, two or more data lines which intersect said gate line, and the said gate line and the data line, Two or more pixel electrodes connected to said each of switching element, and the common electrode which counters said pixel electrode, The auxiliary capacity by which the parallel arrangement was electrically carried out to the pixel capacity which said pixel electrode and a common electrode form, In the active-matrix mold display which performs the display according to the pixel electrical potential difference which \*\*\*\*, supplies a video signal to said each pixel electrode from said data line, and is produced between said pixel electrodes and said common electrodes The active-matrix mold display characterized by supplying the status signal before a halt which makes small the absolute value of said pixel electrical potential difference to said all pixel electrodes in advance of a display halt when suspending a display.

[Claim 2] The status signal before said halt is a active-matrix mold display according to claim 1 characterized by it being equal to the video signal which displays black on all pixels if it is the display in the NOME reeve rack mode in which transmission serves as min when a pixel electrical potential difference is 0V, and being equal to the video signal which displays white on all pixels if it is the display in the no MARI White mode in which transmission serves as max when a pixel electrical potential difference is 0V.

[Claim 3] Said display is a active-matrix mold display according to claim 1 which carries out sequential supply of the pixel electrical potential difference based on a video signal for every one-frame period at said all pixel electrodes, continues normal operation until the frame period concerned expires, and is characterized [ at the next one frame period ] by carrying out sequential supply of the pixel electrical potential difference based on the status signal before said halt said all pixel electrodes when the signal which interrupts a display at a certain frame period is received at the time of normal operation.

[Claim 4] The switching element arranged at the intersection of two or more gate lines, two or more data lines which intersect said gate line, said gate line, and the data line, Two or more pixel electrodes connected to said each of switching element, the common electrode which counters said pixel electrode, The pixel capacity which said pixel electrode and a common electrode form, and the auxiliary capacity arranged at juxtaposition, \*\*\*\* and a video signal is supplied to said each pixel electrode from said data line. It is the control unit of the active-matrix mold display which performs the display according to the pixel electrical potential difference produced between said pixel electrodes and said common electrodes. The control unit of the active-matrix mold display characterized by supplying the status signal before a halt which makes small the absolute value of said pixel electrical potential difference to said all pixel electrodes in advance of a display halt when suspending the display of said display.

[Claim 5] The status signal before said halt is the control unit of the active-matrix mold display according to claim 4 characterized by it being equal to the video signal which displays black on all pixels if it is the display in the NOME reeve rack mode which displays black when a pixel electrical potential difference is 0V, and being equal to the video signal which displays white on all pixels if it is the display in the no MARI White mode which displays white when a pixel electrical potential difference is 0V.

[Claim 6] It is the control unit of the active-matrix mold display according to claim 4 which carries out

sequential supply of the pixel electrical potential difference based on a video signal for every one-frame period at said all pixel electrodes, continues normal operation until the frame period concerned expires, and is characterized [ at the next one frame period ] by carrying out sequential supply of the pixel electrical potential difference based on the status signal before said halt said all pixel electrodes when the signal which interrupts a display at a certain frame period is received at the time of normal operation.

[Claim 7] The data-processing section which is the control device of the active-matrix mold indicating equipment which displays on said each of two or more pixel electrodes by impressing a pixel electrical potential difference, and performs and outputs predetermined processing to a video signal, The timing controller which outputs two or more timing signals including the perpendicular start signal which carries out a pulse output once, and the display change-over signal before a halt synchronizing with said data-processing section at the time of initiation of an one-frame period, If the display halt command which has the status signal output machine before a halt into which the output of said data-processing section and the display change-over signal before a halt of said timing controller are inputted, and interrupts or ends a display from the exterior at the time of normal operation is received Said data-processing section and said timing controller While normal operation is continued between the frames which received the display halt command and said timing controller outputs a perpendicular start signal with the following frame Output said display change-over signal before a halt between the frames concerned, and the status signal before a halt is made to output to said status signal output machine before a halt. The control unit of the active-matrix mold display characterized by said data-processing section and said timing controller suspending actuation after one-frame period progress.

[Claim 8] The status signal before said halt is the control unit of the active-matrix mold display according to claim 7 characterized by it being equal to the video signal which displays black on all pixels if it is the display in the NOMA reeve rack mode which displays black when a pixel electrical potential difference is 0V; and being equal to the video signal which displays white on all pixels if it is the display in the no MARI White mode which displays white when a pixel electrical potential difference is 0V.

[Claim 9] It is the control unit of the active-matrix mold display characterized by for said status signal output machine before a halt being an OR circuit, and said timing controller outputting the status signal before a halt as a front [ halt ] display change-over signal.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to improvement in the display quality at the time of shifting to the standby mode and the condition of power-source OFF that a pixel electrode interrupts a display from the condition which shows especially about the active-matrix mold display arranged in the

shape of a matrix, its control device, and a control device.

[0002]

[Description of the Prior Art] Displays, such as a liquid crystal display (LCD) and an electroluminescence (EL) display, are used as a small display of power consumption with the spread of the Personal Digital Assistants (PDA) which make the start a cellular phone and a notebook computer in recent years. In PDA, in order to secure movable time amount, reduction of power consumption is important. Then, continuation of the condition that nothing is inputted during 1 scheduled time proposes the display which drops the power source of a display and reduces power consumption and which has the so-called sleep mode.

[0003] The active-matrix mold LCD is shown in drawing 4 as an example of the conventional indicating equipment. A control circuit 200 is connected and a active-matrix mold display is constituted by the liquid crystal panel 100.

[0004] A liquid crystal panel 100 comes to enclose liquid crystal between the 1st substrate with which two or more pixel electrodes 1 were formed, and the 2nd substrate with which one common electrode 10 which counters two or more pixel electrodes was formed. two or more pixel [ substrate / 1st ] electrode 1 and the pixel electrode 1 -- the switching element 2 which is alike, respectively, corresponds, for example, consists of a thin film transistor (TFT) is arranged in the shape of a matrix. Corresponding to the matrix of the pixel electrode 1, the data line 4 is arranged in the gate line 3 and the direction of a train at a line writing direction. The gate line 3 is connected to the gate of each pixel TFT2, and the data line 4 is connected to the drain. The gate line 3 is connected to the gate line driver 5 arranged around a viewing area. The data line 4 is connected to the data bus line 7 through the data-line selection TFT6, and the gate of the data-line selection TFT6 is connected to the output of the data-line shift register 8. The data-line driver to which the data-line selection TFT6 and the data-line shift register 8 choose the data line 4 as one by one, and supply a data signal is constituted. In order to hold a pixel electrical potential difference to each pixel, the auxiliary capacity 9 is arranged at liquid crystal capacity and juxtaposition.

[0005] A control circuit 200 has the data-processing section 21, the CPU interface 22, the timing controller 23, and the digital analog converter (DAC) 24. It creates the optimal signal for a liquid crystal panel 100, the data-processing section 21 being changed into a digital signal to the video signal inputted from the outside, while sampling it to suitable timing first, when a video signal is an analog signal, and it adjusting bright one and contrast, and applying a gamma correction. The CPU interface 22 receives the instruction (command) of CPU which controls the device by which LCD, such as PDA and a cellular phone, is carried and which is not illustrated, and transmits a control signal to each part according to a command. The timing controller 23 outputs various timing signals to a liquid crystal panel 100 based on the perpendicular start signal and Horizontal Synchronizing signal which were extracted from the video signal. DAC24 changes and outputs the RGB digital data which the data-processing section outputs to the optimal electrical potential difference for the pixel electrical potential difference of a liquid crystal panel 100.

[0006] Next, actuation of the active-matrix mold LCD is explained with a drive control signal. Drawing 5 and drawing 6 R> 6 are timing charts which show some timing signals. Vertical Synchronizing signal Vsync is the clock with which a 1-time high is outputted for every time of initiation of a vertical-synchronization period, and shows initiation of a frame period. The perpendicular start signal STV is inputted into the gate line driver 5. The gate line driver 5 is a shift register, and starts actuation in response to the perpendicular start signal STV. The perpendicular shift clock CKV is inputted into the gate line driver 5, and for every perpendicular shift clock CKV, STV is sent one by one and it supplies a gate selection signal to the gate line 3 one by one. A perpendicular shift clock CKV half period is equivalent to 1 horizontal-synchronization period. The pixel TFT2 connected to the gate line 3 by which the gate selection signal is supplied is turned on altogether. Level start signal STH is the perpendicular shift clock CKV and the clock delayed a little this period, and is inputted into the data-line shift register

8 of a data-line driver. The data-line shift register 8 starts actuation in response to level start signal STH. The level shift clock CKH is inputted into the data-line shift register 8, and for every level shift clock CKH, STH is sent one by one and it supplies a data-line selection signal to the data-line selection TFT6 one by one. The data-line selection TFT6 to which the data-line selection signal is supplied is turned on, and data signal DATA is supplied to the pixel electrode 1 through the 4 pixel data line TFT2 from the data bus line 7. As illustrated, a pixel electrical potential difference may be impressed to two or more pixel electrodes 1 at coincidence by making the data bus line 7 into plurality, and inputting the same gate selection signal as the data-line selection TFT6 corresponding to each. If the data-line shift register 8 finishes choosing all the data lines 4, the perpendicular shift clock CKV will be inputted again and the following gate line 3 will be chosen. Similarly, if the gate line driver 5 finishes choosing all the gate lines 3, one screen will finish displaying. There is a level blanking period when fixed period data are not inputted whenever it finishes writing in the data for one line, for example, the data for 176 pixels. Moreover, there is a perpendicular blank period when fixed period (number level period extent) data are not inputted whenever it finishes writing in all pixels, for example, the data for 220 lines. Following Vertical Synchronizing signal Vsync is inputted during a perpendicular blanking period, the following frame minds, and is carried out, and the above-mentioned actuation is repeated from the beginning.

[0007]

[Problem(s) to be Solved by the Invention] In PDA or a cellular phone, if a fixed time amount user does not operate it, there is a thing included in the so-called standby mode which stops a display action and controls power consumption. When going into this standby mode, or when dropping the power source of a body, a display PAUSE command is inputted into the CPU interface 22 from CPU of a body, except [ being outputted to the timing which laps with a perpendicular blanking period by chance, since a display PAUSE command is outputted regardless of actuation of a liquid crystal panel 100 ] -- cooking -- \*\*\* -- a display action -- on the way -- it is come out and outputted. As shown in drawing 5, shortly after receiving the display PAUSE command, the output of each timing signal was suspended, and the conventional liquid crystal panel 100 suspended supply of a video signal DATA, and had suspended the display.

[0008] However, when the conventional display stopped a display action, the phenomenon in which a display remains, and the "display remainder" had produced it. Although the display remainder disappears in the passage of time, also with the naked eye, the disappearing course is checked by looking, and was reducing the display quality at the time of a display halt. Since this situation will be checked by looking by the extraneous light even if it erases a front light especially in the case of the reflective mold LCD although it is hard to check by looking and can carry out by switching off a back light if this display remainder is a display panel which has a back light with the transparency mold LCD, it becomes a remarkable problem.

[0009] Then, this invention aims at offering the display which prevented the display remainder when carrying out power-source OFF when shifting to a standby mode.

[0010]

[Means for Solving the Problem] The cause of the display remainder is as follows. Since the pixel TFT2 is off except one line as which the pixel electrical potential difference is charged by liquid crystal and the auxiliary capacity 9, and the gate line 3 is chosen in the case of a active-matrix mold display, almost all the pixel electrode 1 serves as floating. If display stop instruction is outputted in the middle of a display action, the shift register which chooses a gate line and the data line will be maintained by each pixel, without liquid crystal and the charge charged by the auxiliary capacity 9 falling out to 9, in order to interrupt actuation at the time. This caused the display remainder. When being gradually lost by the leak from a pixel TFT2, and leak through liquid crystal by the charge which is maintaining the pixel electrical potential difference, the display remainder disappears.

[0011] Then, it is losing the display remainder, and when it is made in order that this invention may raise display quality, and suspending a display, it is the display which supplies the status signal before a halt

which makes small the absolute value of a pixel electrical potential difference to all pixel electrodes in advance of a display halt, or its control unit. It is a black signal to make small the absolute value of a pixel electrical potential difference, if it is the display in the NOMA reeve rack mode which displays black when for example, a pixel electrical potential difference is 0V, and if it is the display in no MARI White mode and is equivalent to the signal which displays white, it is good.

[0012] Since a display is suspended after making the charge of a pixel electrode discharge and making a pixel electrical potential difference low enough before suspending a display by performing such a display before a halt, the display remainder can be prevented.

[0013] Furthermore, sequential supply of the pixel electrical potential difference based on a video signal is carried out for every one-frame period at all pixel electrodes at the time of normal operation, and when the signal which interrupts a display at a certain frame period is received, a display continues normal operation until the frame period expires, and carries out sequential supply of the pixel electrical potential difference based on the status signal before a halt at all pixel electrodes at the next one-frame period. Since a display-panel part can respond only in a control unit part as common with the conventional display panel, in carrying out this invention, the existing panel can be used for performing the display before a halt in this way, and it can realize improvement in display grace without increase of a manufacturing cost.

[0014] Moreover, the data-processing section which is the control device of the active-matrix mold indicating equipment which displays on two or more pixel electrodes of each by impressing a pixel electrical potential difference, and performs and outputs predetermined processing to a video signal, The timing controller which outputs two or more timing signals including the perpendicular start signal which carries out a pulse output once, and the display change-over signal before a halt synchronizing with the data-processing section at the time of initiation of an one-frame period, If the display halt command which has the status signal output machine before a halt into which the output of the data-processing section and the display change-over signal before a halt of a timing controller are inputted; and interrupts or ends a display from the exterior at the time of normal operation is received. The data-processing section and a timing controller While normal operation is continued between the frames which received the display halt command and a timing controller outputs a perpendicular start signal with the following frame You may be the control unit of the active-matrix mold display with which output the display change-over signal before a halt between the frames concerned, the status signal before a halt is made to output to the status signal output machine before a halt, and the data-processing section and a timing controller suspend actuation after one-frame period progress.

[0015]

[Embodiment of the Invention] The active-matrix mold LCD applied to the 1st operation gestalt of this invention at drawing 1 is shown. The number same about the same configuration as usual is given, and explanation is omitted. The liquid crystal panel 100 of this operation gestalt is completely the same as usual. In the control circuit 200 of this operation gestalt, it differs from the former in that the display signal output part 25 before a halt is stationed between the data-processing section 21 and DAC24.

[0016] The display signal output part 25 before a halt outputs the output of the data-processing section 21 to DAC24 as it is, while performing normal operation. That is, normal operation is performed completely as usual. As for this operation gestalt, the actuation after the display PAUSE command was inputted differs from the former.

[0017] Drawing 2 is a timing chart which shows the timing signal of this operation gestalt. For example, suppose that the display PAUSE command was inputted into the data-processing section 21 and the timing controller 23 through the CPU interface 22 in the 1st frame period. At this time, a display PAUSE command is not answered, but the data-processing section 21 and the timing controller 23 continue the display action till then, and the video signal in the 1st frame is supplied to all pixels as a pixel electrical potential difference. Then, if Vertical Synchronizing signal Vsync is outputted, the data-processing section 21 will suspend actuation, and the timing controller 23 will issue a command to the next one-

frame period and the display signal output part 25 before a halt so that the status signal before a halt may be outputted. In the timing controller 23, the next one-frame period continues outputting each timing signal like normal operation. Like normal operation, the timing controller 23 outputs the perpendicular start signal STV, and operates a data-line driver and a gate line driver. Since the display signal output part 25 before a halt is outputting the one-frame period and the status signal before a halt, the status signal before a halt is supplied to all pixel electrodes through DAC24 in the 2nd frame period. If the 2nd frame period passes, the current supply to the timing controller 23 or DAC24 will be suspended, and a display will be suspended.

[0018] The status signal before a halt is a signal which makes small the absolute value of a pixel electrical potential difference. For example, when it is in no MARI White mode in which a display panel 100 serves as permeability max and the so-called "white" by pixel electrical-potential-difference =0V, the status signal before a halt is data equivalent to a "white" video signal. Moreover, when it is in NOMA reeve rack mode in which a display panel 100 serves as transmission min and the so-called "black" by pixel electrical-potential-difference =0V, the status signal before a halt is data equivalent to a "black" video signal. As a front [ halt ] status signal, the electrical potential difference Vcom impressed to a common electrode may be inputted. If it is Vcom, a pixel electrical potential difference will be completely set to 0V.

[0019] By impressing such a status signal before a halt to all pixel electrodes, the charge charged by the auxiliary capacity 9 can be discharged compulsorily, and the display remainder after a display halt can be prevented. Moreover, the condition of giving an indication based on the status signal before a halt to the user of a display since it is the signal which makes a pixel electrical potential difference small, namely, brings it close to the condition of a display halt, and the condition of a display halt cannot distinguish the display by the status signal before a halt, but it is checked by looking as a display halt was carried out immediately. Moreover, since it does not say that it is left until it makes it floating like before, leaving a charge to a pixel electrode and a charge is lost by leak, making direct-current electric field impress to liquid crystal is not continued, and degradation of liquid crystal can be prevented.

[0020] Next, the display signal output part 25 before a halt is described. The display signal output part 25 before a halt outputs an one-frame period and the status signal before a halt based on the command of the timing controller 23. In carrying out this actuation, the simplest configuration is a configuration in which makes the display signal output part 25 before a halt a logical circuit, for example, an OR circuit, and the timing controller 23 outputs the status signal before a halt. Generally the timing controller 23 contains the counter which carries out counting of the clock, and creates the perpendicular start signal STV based on the enumerated data of a counter. By using this counter, it can constitute so that it may continue outputting the status signal before an one-frame period halt. For example, the case where the "white" video signal is expressed as (1111) by 4 bits is described that it is the display panel 100 in no MARI White mode. The timing controller 23 has dropped the status signal before a halt on low "0" between normal operation. Therefore, it depends for the output of OR circuit 25 only on the output of the data-processing section 21. And a timing controller makes the status signal before a halt between one frame high "1" with the following frame into which the display PAUSE command was inputted. therefore, the output of the data-processing section 21 -- not being concerned -- so to speak -- all bit highs -- the image data of "1" are outputted to DAC24, and output the smallest electrical potential difference of an absolute value as the pixel electrical potential difference equivalent to white (permeability max), i.e., a pixel electrical potential difference corresponding to a video signal.

[0021] On the contrary, with the display panel 100 in NOMA reeve rack mode, when a "black" video signal is (0000), or when "white" is (0000) in no MARI White mode, the display signal output part 25 before a halt becomes an AND circuit. The timing controller 23 outputs high "1" as a front [ a halt between normal operation ] status signal. AND circuit 25 performs the output according to the output of the data-processing section 21 by this. And in the following frame to which the display PAUSE command was outputted, the timing controller 23 outputs low "0" as a front [ halt ] status signal. At this

time, the data-processing section 21 has suspended actuation, since it is outputting in all bits "0", the image data of all bits "a low" are inputted into DAC24, and DAC24 outputs the smallest pixel electrical potential difference of an absolute value.

[0022] It is more desirable to consider as an OR circuit, if the case where they are the case where the display signal output part 25 before a halt is an OR circuit, and an AND circuit is compared. Although the data-processing section 21 has suspended actuation while performing the display before a halt, it is because a noise may be gathered by a certain cause and "yes" may be outputted. If it is the configuration of an OR circuit, such a noise will not affect a display at all.

[0023] The active-matrix mold LCD applied to the 2nd operation gestalt of this invention at drawing 3 is shown. The number same about the same configuration as usual is given, and explanation is omitted. The liquid crystal panel 100 of this operation gestalt is completely the same as usual. In the control circuit 200 of this operation gestalt, it differs from the former in that the change-over switch 26 is arranged between DAC24 and the liquid crystal panel 100. A switch 26 switches and outputs the output of DAC24, and the electrical potential difference  $V_{com}$  of a common electrode with the status signal before a halt which the timing controller 23 outputs. While performing normal operation, the status signal before a halt of the timing controller 23 serves as a low, and a switch 26 supplies the output of DAC24 to a liquid crystal panel 100. That is, normal operation is performed completely as usual. Like the 1st operation gestalt, if a display PAUSE command is received, the timing controller 23 will carry out the status signal before a halt to yes, a switch 26 will change, and the common electrical potential difference  $V_{com}$  will be supplied to each pixel. The timing chart which shows the timing signal of the display before a halt in this operation gestalt is the same as that of drawing 2.

[0024] In this operation gestalt, since the common electrical potential difference  $V_{com}$  is supplied to all pixel electrodes in the next frame period of a display PAUSE command, the pixel electrical potential difference of all pixel electrodes can be set to 0V, and the same effectiveness as the 1st operation gestalt can be acquired.

[0025] It is not this limitation although the above-mentioned operation gestalt explained that the status signal before a sequential halt was supplied to all pixel electrodes. For example, if a display PAUSE command is received, the common electrical potential difference  $V_{com}$  will be immediately supplied to the data bus line 7, gate voltage is supplied to all the gate lines 3, a pixel TFT2 can be turned on, all data-line selections TFT6 can be turned on, and the common electrical potential difference  $V_{com}$  can also be supplied to all pixel coincidence. When TFT for precharging to each data line is connected, the status signal before a halt may be supplied to each data line 4 through this. However, since it becomes impossible to make a liquid crystal panel 100 as common as the former when carrying these out, it becomes the factor of a cost rise.

[0026] Although it can be used also for a transparency mold liquid crystal display, this invention is more effective if the display remainder uses for a more remarkable reflective mold liquid crystal display.

[0027]

[Effect of the Invention] Since a display is suspended according to this invention after making the charge of a pixel electrode discharge and making a pixel electrical potential difference low enough before suspending a display by supplying the status signal before a halt which makes small the absolute value of a pixel electrical potential difference to all pixel electrodes in advance of a display halt when suspending a display as explained above, the display remainder can be prevented and display quality can be improved.

[0028] Furthermore, sequential supply of the pixel electrical potential difference based on a video signal is carried out for every one-frame period at all pixel electrodes at the time of normal operation, and when the signal which interrupts a display at a certain frame period is received, a display continues normal operation until the frame period expires, and carries out sequential supply of the pixel electrical potential difference based on the status signal before a halt at all pixel electrodes at the next one-frame period. Since a display-panel part can respond only in a control unit part as common with the

conventional display panel, in carrying out this invention, the existing panel can be used for performing the display before a halt in this way, and it can prevent increase of a manufacturing cost.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is drawing showing the display concerning the 1st operation gestalt of this invention.

**[Drawing 2]** It is the timing chart of the indicating equipment of this invention.

**[Drawing 3]** It is drawing showing the display concerning the 2nd operation gestalt of this invention.

**[Drawing 4]** It is drawing showing the conventional display.

**[Drawing 5]** It is the timing chart of the conventional indicating equipment.

**[Drawing 6]** It is the timing chart of an indicating equipment.

**[Description of Notations]**

1: Pixel electrode 2: Pixel switching element (TFT)

3: Gate line 4: Data line

5: Shift register 6: Data-line selection switching element (TFT)

7: Data bus line 8: Shift register

9: Auxiliary capacity 10: Common electrode

21: Data-processing section 22: CPU interface

23: Timing controller 24: Digital-analog converter

25: Front [ halt ] display signal output part 26: Change-over switch

---

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-15610

(P2003-15610A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.<sup>7</sup>  
G 0 9 G 3/36  
G 0 2 F 1/133  
1/1368  
G 0 9 G 3/20  
6 1 1  
6 1 2

識別記号

F I  
G 0 9 G 3/36  
G 0 2 F 1/133  
1/1368  
G 0 9 G 3/20  
6 1 1 B  
6 1 2 G

テマコード (参考)

2 H 0 9 2

5 5 0 2 H 0 9 3

5 C 0 0 6

6 1 1 B 5 C 0 8 0

6 1 2 G

審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-198930 (P2001-198930)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22) 出願日 平成13年6月29日 (2001.6.29)

(72) 発明者 北川 賢

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 小林 貢

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

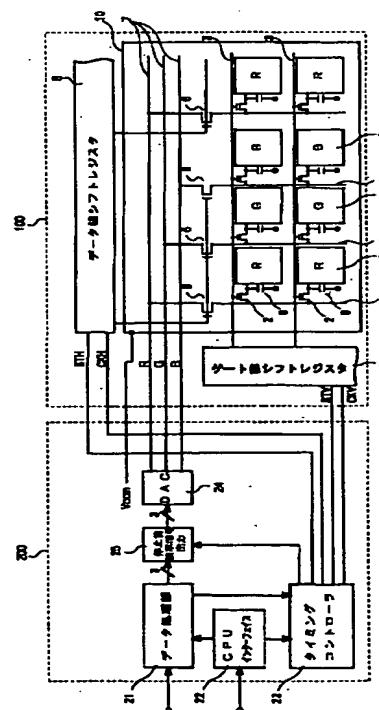
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置及びその制御装置

(57) 【要約】

【課題】 アクティブマトリクス型表示装置において、表示を中断するときに表示が残る現象を防止し、より表示品質を向上する。

【解決手段】 表示を中断する前に、全画素電極に停止前表示信号を供給し、補助容量9に保持されている電荷を排出してから表示を停止する。これによって表示残りがなくなるので、特に反射型でアクティブマトリクス型の液晶表示装置において、通常動作から表示を停止する際に表示を明瞭に切り換えることができ、表示品質を向上させる。



(2)

2

## 【特許請求の範囲】

【請求項 1】 複数のゲート線と、前記ゲート線に交差する複数のデータ線と、前記ゲート線及びデータ線の交点に配置されるスイッチング素子と、前記スイッチング素子それぞれに接続された複数の画素電極と、前記画素電極に対向する共通電極と、前記画素電極、共通電極が形成する画素容量と電気的に並列配置された補助容量と、を有し、前記データ線からそれぞれの前記画素電極に映像信号を供給し、前記画素電極と前記共通電極との間に生じる画素電圧に応じた表示を行うアクティブマトリクス型表示装置において、表示を停止する時、表示停止に先立って、前記画素電極全てに前記画素電圧の絶対値を小さくする停止前表示信号を供給することを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記停止前表示信号は、画素電圧が0Vの時透過率が最小となるノーマリーブラックモードの表示装置なら全画素に黒を表示する映像信号と等しく、画素電圧が0Vの時透過率が最大となるノーマリーホワイトモードの表示装置なら全画素に白を表示する映像信号に等しいことを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】 前記表示装置は通常動作の時は 1 フレーム期間毎に全ての前記画素電極に映像信号に基づいた画素電圧を順次供給し、あるフレーム期間に表示を中断する信号を受けた時、当該フレーム期間が終了するまでは通常動作を継続し、次の 1 フレーム期間に全ての前記画素電極に前記停止前表示信号に基づく画素電圧を順次供給することを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 4】 複数のゲート線、前記ゲート線に交差する複数のデータ線、前記ゲート線及びデータ線の交点に配置されるスイッチング素子、前記スイッチング素子それぞれに接続された複数の画素電極、前記画素電極に対向する共通電極、前記画素電極、共通電極が形成する画素容量と並列に配置された補助容量、を有し、前記データ線からそれぞれの前記画素電極に映像信号を供給し、前記画素電極と前記共通電極との間に生じる画素電圧に応じた表示を行うアクティブマトリクス型表示装置の制御装置であって、前記表示装置の表示を停止する時、表示停止に先立って、前記画素電極全てに前記画素電圧の絶対値を小さくする停止前表示信号を供給することを特徴とするアクティブマトリクス型表示装置の制御装置。

【請求項 5】 前記停止前表示信号は、画素電圧が0Vの時黒を表示するノーマリーブラックモードの表示装置なら全画素に黒を表示する映像信号と等しく、画素電圧が0Vの時白を表示するノーマリーホワイトモードの表示装置なら全画素に白を表示する映像信号と等しいことを特徴とする請求項 4 に記載のアクティブマトリクス型表示装置の制御装置。

【請求項 6】 通常動作の時は 1 フレーム期間毎に全て

の前記画素電極に映像信号に基づいた画素電圧を順次供給し、あるフレーム期間に表示を中断する信号を受けた時、当該フレーム期間が終了するまでは通常動作を継続し、次の 1 フレーム期間に全ての前記画素電極に前記停止前表示信号に基づく画素電圧を順次供給することを特徴とする請求項 4 に記載のアクティブマトリクス型表示装置の制御装置。

【請求項 7】 複数の前記画素電極それぞれに画素電圧を印加して表示を行うアクティブマトリクス型表示装置の制御装置であって、映像信号に所定の処理を施して出力するデータ処理部と、1 フレーム期間の開始時に一度パルス出力する垂直スタート信号及び停止前表示切換信号を含む複数のタイミング信号を、前記データ処理部と同期して出力するタイミングコントローラと、前記データ処理部の出力と前記タイミングコントローラの停止前表示切換信号とが入力される停止前表示信号出力器とを有し、通常動作時に外部から表示を中断もしくは終了する表示停止指令を受けると、前記データ処理部及び前記タイミングコントローラは、表示停止指令を受信したフレームの間は通常動作を継続し、前記タイミングコントローラは次のフレームで垂直スタート信号を出力するとともに、当該フレームの間前記停止前表示切換信号を出力して前記停止前表示信号出力器に停止前表示信号を出力させ、1 フレーム期間経過後に前記データ処理部及び前記タイミングコントローラが動作を停止することを特徴とするアクティブマトリクス型表示装置の制御装置。

【請求項 8】 前記停止前表示信号は、画素電圧が0Vの時黒を表示するノーマリーブラックモードの表示装置なら全画素に黒を表示する映像信号に等しく、画素電圧が0Vの時白を表示するノーマリーホワイトモードの表示装置なら全画素に白を表示する映像信号に等しいことを特徴とする請求項 7 に記載のアクティブマトリクス型表示装置の制御装置。

【請求項 9】 前記停止前表示信号出力器はOR回路であって、前記タイミングコントローラは停止前表示切換信号として停止前表示信号を出力することを特徴とするアクティブマトリクス型表示装置の制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、画素電極が行列状に配置されたアクティブマトリクス型表示装置、その制御装置、制御装置に関し、特に表示を行っている状態から表示を中断するスタンバイモードや電源オフの状態に移行する際の表示品質の向上に関するものである。

## 【0002】

【従来の技術】 近年の携帯電話やノートパソコンを初めとする携帯情報端末 (PDA) の普及に伴い、消費電力の小さい表示装置として液晶表示装置 (LCD) やエレクトロルミネッセンス (EL) 表示装置などの表示装置が用いられている。PDAにおいては、可動時間を確保

(3)

するために、消費電力の削減が重要である。そこで、一定時間何も入力されない状態が継続すると、表示装置の電源を落として消費電力を削減する、いわゆるスリープモードを有する表示装置が提案されている。

【0003】図4に従来の表示装置の一例としてアクティブマトリクス型LCDを示す。アクティブマトリクス型表示装置は、液晶パネル100に制御回路200が接続されて構成される。

【0004】液晶パネル100は、複数の画素電極1が形成された第1の基板と複数の画素電極に対向する一つの共通電極10が形成された第2の基板との間に液晶を封入してなる。第1の基板には、複数の画素電極1と、画素電極1それぞれに対応して例えば薄膜トランジスタ(TFT)よりなるスイッチング素子2が行列状に配置される。画素電極1の行列に対応して行方向にゲート線3、列方向にデータ線4が配置される。各画素TFT2のゲートにゲート線3が、ドレインにデータ線4が接続されている。ゲート線3は表示領域の周囲に配置されるゲート線ドライバ5に接続されている。データ線4はデータ線選択TFT6を介してデータバス線7に接続され、データ線選択TFT6のゲートはデータ線シフトレジスタ8の出力に接続されている。データ線選択TFT6とデータ線シフトレジスタ8が、順次データ線4を選択してデータ信号を供給するデータ線ドライバを構成している。各画素には画素電圧を保持するために液晶容量と並列に補助容量9が配置されている。

【0005】制御回路200は、データ処理部21、CPUインターフェイス22、タイミングコントローラ23、デジタルアナログコンバータ(DAC)24を有する。データ処理部21は、外部から入力される映像信号に対し、映像信号がアナログ信号の場合はまず適切なタイミングでサンプリングするとともにデジタル信号に変換し、ライトやコントラストを調整し、ガンマ補正をかけたりして、液晶パネル100に最適な信号を作成する。CPUインターフェイス22は、PDAや携帯電話などのLCDが搭載されている機器を制御する図示しないCPUの命令(コマンド)を受信し、コマンドに応じて各部に制御信号を送信する。タイミングコントローラ23は、映像信号から抽出された垂直スタート信号や水平同期信号を基に液晶パネル100に対し、各種タイミング信号を出力する。DAC24はデータ処理部が出力するRGBデジタルデータを液晶パネル100の画素電圧に最適な電圧に変換して出力する。

【0006】次にアクティブマトリクス型LCDの動作について、駆動制御信号とともに説明する。図5及び図6はいくつかのタイミング信号を示すタイミングチャートである。垂直同期信号Vsyncは垂直同期期間の開始時毎に1度ハイが出力されるクロックで、フレーム期間の開始を示す。垂直スタート信号STVは、ゲート線ドライバ5に入力される。ゲート線ドライバ5はシフトレジ

スタで、垂直スタート信号STVを受けて動作を開始する。垂直シフトクロックCKVはゲート線ドライバ5に入力され、垂直シフトクロックCKV毎にSTVが順次送られ、ゲート線3に順次ゲート選択信号を供給する。垂直シフトクロックCKV半周期が1水平同期期間に相当する。ゲート選択信号が供給されているゲート線3に接続された画素TFT2は、全てオンする。水平スタート信号STHは垂直シフトクロックCKVと同周期でやや遅延したクロックで、データ線ドライバのデータ線シフトレジスタ8に入力される。データ線シフトレジスタ8は水平スタート信号STHを受けて動作を開始する。水平シフトクロックCKHはデータ線シフトレジスタ8に入力され、水平シフトクロックCKH毎にSTHが順次送られ、データ線選択TFT6に順次データ線選択信号を供給する。データ線選択信号が供給されているデータ線選択TFT6はオンし、データバス線7よりデータ線4、画素TFT2を介してデータ信号DATAが画素電極1に供給される。図示したように、データバス線7を複数とし、それぞれに対応するデータ線選択TFT6に同じゲート選択信号を入力することによって、複数の画素電極1に同時に画素電圧を印加する場合もある。データ線シフトレジスタ8が全てのデータ線4を選択し終えると、再び垂直シフトクロックCKVが入力され、次のゲート線3が選択される。同様にして、ゲート線ドライバ5が全てのゲート線3を選択し終えると、1つの画面が表示し終わる。1行分のデータ、例えば176画素分のデータを書き込み終わるたびに、一定期間データが入力されない水平ブランкиング期間がある。また、全画素、例えば220行分のデータを書き込み終わるたびに、一定期間(数水平期間程度)データが入力されない垂直ブランク期間がある。垂直ブランкиング期間中に次の垂直同期信号Vsyncが入力され、次のフレームが介され上記動作を最初から繰り返す。

【0007】

【発明が解決しようとする課題】PDAや携帯電話では、一定時間ユーザが操作しないと表示動作を中止して消費電力を抑制する、いわゆるスタンバイモードに入るものがある。このスタンバイモードに入る時や、本体の電源を落とす時には、本体のCPUから表示停止コマンドがCPUインターフェイス22に入力される。表示停止コマンドは、液晶パネル100の動作とは無関係に出力されるので、偶然垂直ブランкиング期間と重なるタイミングで出力される以外、たいていは表示動作の途中で出力される。従来の液晶パネル100は、図5に示したように、表示停止コマンドを受信すると直ちに各タイミング信号の出力が停止され、映像信号DATAの供給を停止し、表示を停止していた。

【0008】しかし、従来の表示装置は、表示動作を停止させる際に表示が残ってしまう現象、「表示残り」が生じていた。表示残りは時間の経過で見えなくなるが、

(4)

5

見えなくなる課程は肉眼でも視認され、表示停止時の表示品質を低下させていた。この表示残りは透過型LCDでバックライトを有する表示パネルであればバックライトを消灯することによって視認しやすくすることはできるが、特に反射型LCDの場合は、フロントライトを消したとしても外部光によってこの様子が視認されるので、顕著な問題となる。

【0009】そこで、本発明は、スタンバイモードに移行する時や電源オフする時の表示残りを防止した表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】表示残りの原因は以下の通りである。アクティブマトリクス型表示装置の場合、画素電圧は液晶と補助容量9に充電されており、ゲート線3が選択されている1行以外は画素TFT2がオフであるので、ほとんどの画素電極1はフローティングとなっている。表示動作の途中で表示停止命令が出力されると、ゲート線、データ線を選択するシフトレジスタは、その時点で動作を中断するため、各画素では、液晶と補助容量9に充電された電荷が九には抜けずに維持される。これが表示残りの原因である。画素電圧を維持している電荷が画素TFT2からのリークや、液晶を介してのリークによって徐々に喪失されることによって、表示残りは見えなくなるのである。

【0011】そこで本発明は、表示残りをなくすことで、表示品質を向上させるためになされたものであり、表示を停止する時、表示停止に先立って、画素電極全てに画素電圧の絶対値を小さくする停止前表示信号を供給する表示装置、またはその制御装置である。画素電圧の絶対値を小さくするということは、例えば画素電圧が0Vの時黒を表示するノーマリーブラックモードの表示装置なら黒の信号であり、ノーマリーホワイトモードの表示装置なら白を表示する信号と同等であれば良い。

【0012】このような停止前表示を行うことによって、表示を停止する前に画素電極の電荷を排出させ、画素電圧を充分に低くしてから表示を停止するので、表示残りを防止することができる。

【0013】さらに、表示装置は通常動作の時は1フレーム期間毎に全ての画素電極に映像信号に基づいた画素電圧を順次供給し、あるフレーム期間に表示を中断する信号を受けた時、そのフレーム期間が終了するまでは通常動作を継続し、次の1フレーム期間に全ての画素電極に停止前表示信号に基づく画素電圧を順次供給する。停止前表示をこのように行うことは、表示パネル部分は従来の表示パネルと共通として、制御装置部分だけで対応できるので、本発明を実施するに当たって既存のパネルを使用することができ、製造コストの増大なく表示品位の向上を実現できる。

【0014】また、複数の画素電極それぞれに画素電圧を印加して表示を行うアクティブマトリクス型表示装置

6

の制御装置であって、映像信号に所定の処理を施して出力するデータ処理部と、1フレーム期間の開始時に一度パルス出力する垂直スタート信号及び停止前表示切換信号を含む複数のタイミング信号を、データ処理部と同期して出力するタイミングコントローラと、データ処理部の出力とタイミングコントローラの停止前表示切換信号とが入力される停止前表示信号出力器とを有し、通常動作時に外部から表示を中断もしくは終了する表示停止指令を受けると、データ処理部及びタイミングコントローラは、表示停止指令を受信したフレームの間は通常動作を継続し、タイミングコントローラは次のフレームで垂直スタート信号を出力するとともに、当該フレームの間停止前表示切換信号を出力して停止前表示信号出力器に停止前表示信号を出力させ、1フレーム期間経過後にデータ処理部及びタイミングコントローラが動作を停止するアクティブマトリクス型表示装置の制御装置であってもよい。

【0015】

【発明の実施の形態】図1に本発明の第1の実施形態にかかるアクティブマトリクス型LCDを示す。従来と同様の構成については同じ番号を与え、説明を省略する。本実施形態の液晶パネル100は従来と全く同様である。本実施形態の制御回路200においては、データ処理部21とD A C 24との間に停止前表示信号出力部25が配置されている点が従来と異なる。

【0016】停止前表示信号出力部25は、通常動作を行っている間はデータ処理部21の出力をそのままD A C 24に出力する。即ち、通常動作は従来と全く同様に行われる。本実施形態は表示停止コマンドが入力された後の動作が従来と異なる。

【0017】図2は本実施形態のタイミング信号を示すタイミングチャートである。例えば第1のフレーム期間において表示停止コマンドがC P Uインターフェイス22を介してデータ処理部21及びタイミングコントローラ23に入力されたとする。この時点では表示停止コマンドに応答せず、データ処理部21もタイミングコントローラ23もそれまでの表示動作を続行し、第1のフレームにおける映像信号を全画素に画素電圧として供給する。その後、垂直同期信号Vsyncが出力されると、データ処理部21は動作を停止し、タイミングコントローラ23は、次の1フレーム期間、停止前表示信号出力部25に対し、停止前表示信号を出力するように指令を出す。タイミングコントローラ23は次の1フレーム期間は各タイミング信号を通常動作と同様に出力し続ける。タイミングコントローラ23は、通常動作と同様に、垂直スタート信号S T Vを出力し、データ線ドライバ、ゲート線ドライバを動作させる。停止前表示信号出力部25は、1フレーム期間、停止前表示信号を出力しているので第2のフレーム期間でD A C 24を介して全画素電極に停止前表示信号が供給される。第2のフレーム期間

(5)

7  
が経過すると、タイミングコントローラ23やD A C 2 4に対する電源供給が停止され、表示を停止する。

【0018】停止前表示信号は、画素電圧の絶対値を小さくする信号である。例えば、表示パネル100が画素電圧=0Vで透過率最大、いわゆる「白」となるノーマリーホワイトモードである場合、停止前表示信号は、「白」の映像信号と同等のデータである。また、表示パネル100が画素電圧=0Vで透過率最小、いわゆる「黒」となるノーマリーブラックモードである場合、停止前表示信号は、「黒」の映像信号と同等のデータである。停止前表示信号として、共通電極に印加される電圧V<sub>com</sub>を入力してもよい。V<sub>com</sub>であれば、画素電圧は完全に0Vとなる。

【0019】このような停止前表示信号を全画素電極に印加することによって、補助容量9に充電されている電荷を強制的に排出し、表示停止後の表示残りを防止することができる。また、停止前表示信号による表示は、画素電圧を小さくする、即ち表示停止の状態に近づけるような信号であるので、表示装置の使用者には停止前表示信号に基づいた表示をしている状態と表示停止の状態とは判別できず、即座に表示停止したように視認される。また、従来のように、画素電極に電荷を残したままフローティングにし、リークによって電荷が失われるまで放置する、ということが無いので、液晶に直流電界を印加させ続けることがなく、液晶の劣化を防止することができる。

【0020】次に、停止前表示信号出力部25について述べる。停止前表示信号出力部25はタイミングコントローラ23の指令に基づいて1フレーム期間、停止前表示信号を出力する。この動作を実施するにあたり、最も簡易な構成は、停止前表示信号出力部25を論理回路、例えばOR回路とし、タイミングコントローラ23が停止前表示信号を出力する構成である。タイミングコントローラ23は一般的に、クロックを計数するカウンタを内蔵しており、カウンタの計数値に基づいて垂直スタート信号S T Vを作成する。このカウンタを用いることによって、1フレーム期間停止前表示信号を出力し続けるように構成することができる。例えばノーマリーホワイトモードの表示パネル100であったとして、「白」の映像信号が4ビットで(1111)と表現されている場合について述べる。タイミングコントローラ23は通常動作の間、停止前表示信号をロウ「0」に落としている。従って、OR回路25の出力はデータ処理部21の出力のみに依存する。そして、表示停止コマンドが入力された次のフレームで、タイミングコントローラは1フレームの間停止前表示信号をハイ「1」にする。従つて、データ処理部21の出力に関わらず、いわば全ビットハイ「1」の映像データがD A C 2 4に出力され、白(透過率最大)に相当する画素電圧、即ち映像信号に対応する画素電圧としては絶対値の最も小さい電圧を出力

(5)

8  
する。

【0021】逆に、ノーマリーブラックモードの表示パネル100で、「黒」の映像信号が(0000)である場合や、ノーマリーホワイトモードで「白」が(0000)である場合は、停止前表示信号出力部25はAND回路となる。タイミングコントローラ23は通常動作の間停止前表示信号としてハイ「1」を出力する。これによってAND回路25はデータ処理部21の出力に応じた出力を行う。そして、表示停止コマンドが出力された次のフレームにおいてタイミングコントローラ23は停止前表示信号としてロウ「0」を出力する。この時データ処理部21は動作を停止しており、全ビット「0」で出力しているため全ビット「ロウ」の映像データがD A C 2 4に入力され、D A C 2 4は絶対値の最も小さい画素電圧を出力する。

【0022】停止前表示信号出力部25がOR回路である場合とAND回路である場合とを比較すると、OR回路とする方が望ましい。停止前表示を行っている間、データ処理部21は動作を停止しているとはいえ、何らかの原因でノイズを拾い、「ハイ」を出力してしまう可能性があるためである。OR回路の構成であれば、そのようなノイズは、表示にはなんら影響を与えない。

【0023】図3に本発明の第2の実施形態にかかるアクティブマトリクス型LCDを示す。従来と同様の構成については同じ番号を与え、説明を省略する。本実施形態の液晶パネル100は従来と全く同様である。本実施形態の制御回路200においては、D A C 2 4と液晶パネル100との間に切換スイッチ26が配置されている点が従来と異なる。スイッチ26は、タイミングコントローラ23が出力する停止前表示信号によって、D A C 2 4の出力と共通電極の電圧V<sub>com</sub>とを切り換えて出力する。通常動作を行っている間は、タイミングコントローラ23の停止前表示信号がロウとなっており、スイッチ26はD A C 2 4の出力を液晶パネル100に供給する。即ち、通常動作は従来と全く同様に行われる。第1の実施形態と同様、表示停止コマンドが受信されると、タイミングコントローラ23は停止前表示信号をハイとし、スイッチ26が切り替わり、各画素に共通電圧V<sub>com</sub>が供給される。本実施形態における停止前表示のタイミング信号を示すタイミングチャートは図2と同様である。

【0024】本実施形態においては、表示停止コマンドの次のフレーム期間で全画素電極に共通電圧V<sub>com</sub>が供給されるので、全画素電極の画素電圧を0Vとすることができる、第1の実施形態と同様の効果を得ることができる。

【0025】上記実施形態では、全画素電極に順次停止前表示信号を供給するように説明したがこの限りではない。例えば、表示停止コマンドを受信したら直ちにデータバス線7に共通電圧V<sub>com</sub>を供給し、全てのゲート線3

(6)

9

にゲート電圧を供給して画素TFT2をオンし、全てのデータ線選択TFT6をオンして、全画素同時に共通電圧V<sub>com</sub>を供給することもできる。各データ線にプリチャージするためのTFTが接続されている場合は、これを通して停止前表示信号を各データ線4に供給しても良い。ただし、これらを実施する場合は、液晶パネル10を従来と共にすることはできなくなるので、コストアップの要因となる。

【0026】本発明は、透過型液晶表示装置にも用いることはできるが、表示残りがより顕著である反射型液晶表示装置に用いれば、より効果的である。

【0027】

【発明の効果】以上に説明したように、本発明によれば、表示を停止する時、表示停止に先立って、画素電極全てに画素電圧の絶対値を小さくする停止前表示信号を供給することによって、表示を停止する前に画素電極の電荷を排出させ、画素電圧を充分に低くしてから表示を停止するので、表示残りを防止し、表示品質を向上することができる。

【0028】さらに、表示装置は通常動作の時は1フレーム期間毎に全ての画素電極に映像信号に基づいた画素電圧を順次供給し、あるフレーム期間に表示を中断する信号を受けた時、そのフレーム期間が終了するまでは通常動作を継続し、次の1フレーム期間に全ての画素電極に停止前表示信号に基づく画素電圧を順次供給する。停止前表示をこのように行うことは、表示パネル部分は従来の表示パネルと共に、制御装置部分だけで対応

10

10

できるので、本発明を実施するに当たって既存のパネルを使用することができ、製造コストの増大を防止することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかる表示装置を示す図である。

【図2】本発明の表示装置のタイミングチャートである。

【図3】本発明の第2の実施形態にかかる表示装置を示す図である。

【図4】従来の表示装置を示す図である。

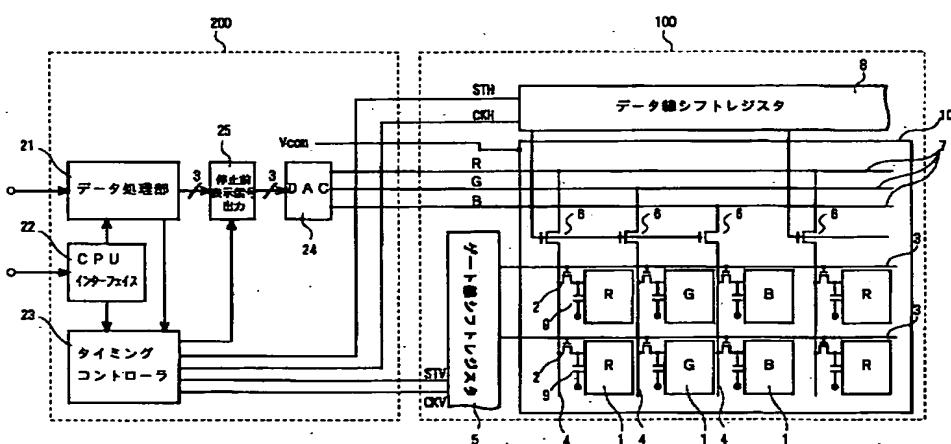
【図5】従来の表示装置のタイミングチャートである。

【図6】表示装置のタイミングチャートである。

#### 【符号の説明】

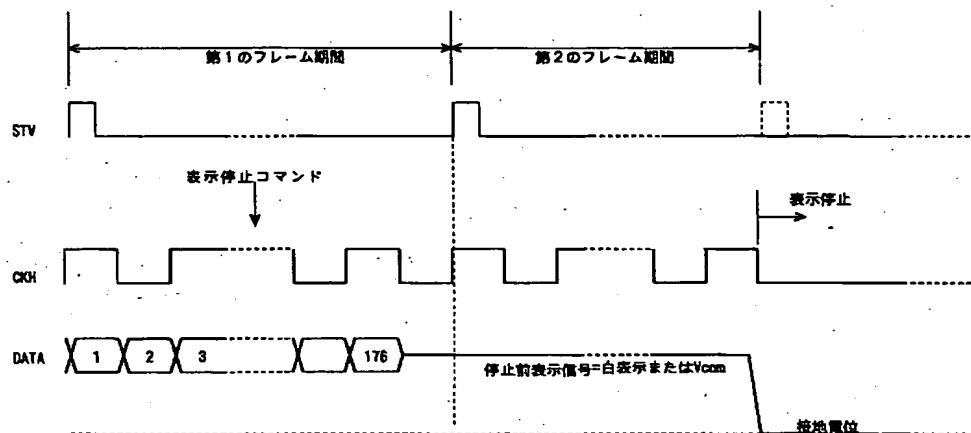
1 : 画素電極	2 : 画素スイッチング
素子 (TFT)	
3 : ゲート線	4 : データ線
5 : シフトレジスタ	6 : データ線選択スイ
チッピング素子 (TFT)	
7 : データバス線	8 : シフトレジスタ
9 : 補助容量	10 : 共通電極
21 : データ処理部	22 : C P U インタ
フェイス	
23 : タイミングコントローラ	24 : デジタルアナロ
25 : 停止前表示信号出力	26 : グ変換器
	27 : 停止前表示信号出力部
	28 : 切換スイッチ

【図1】

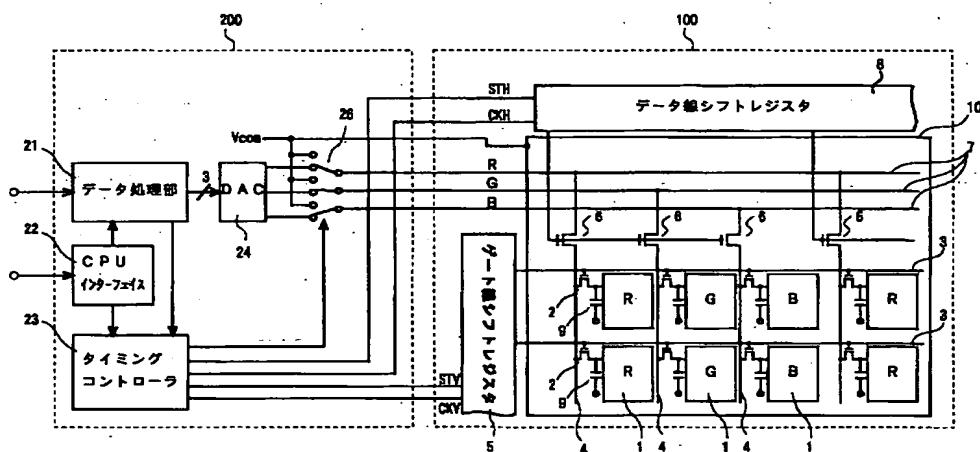


(7)

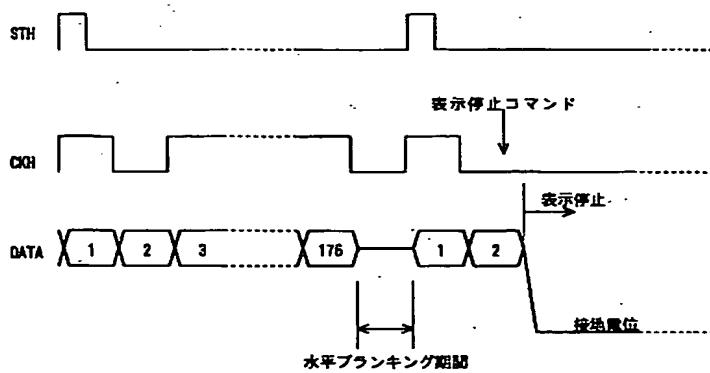
【図2】



【図3】

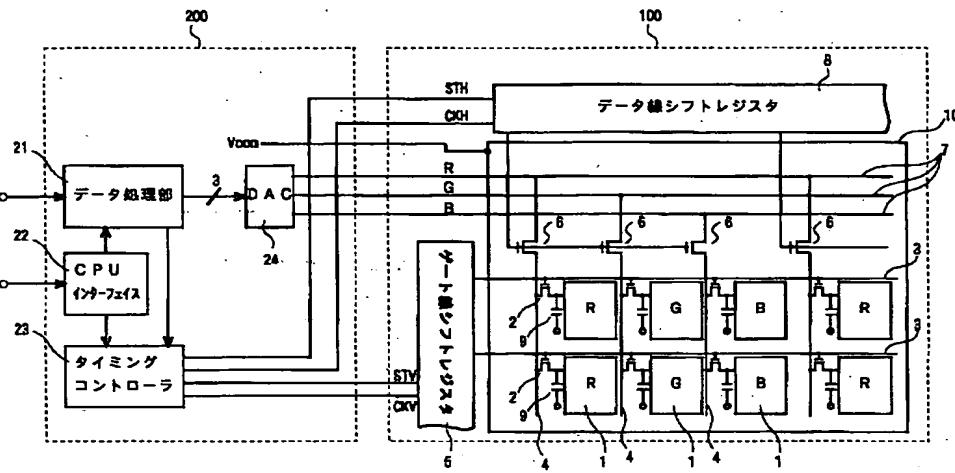


【図5】

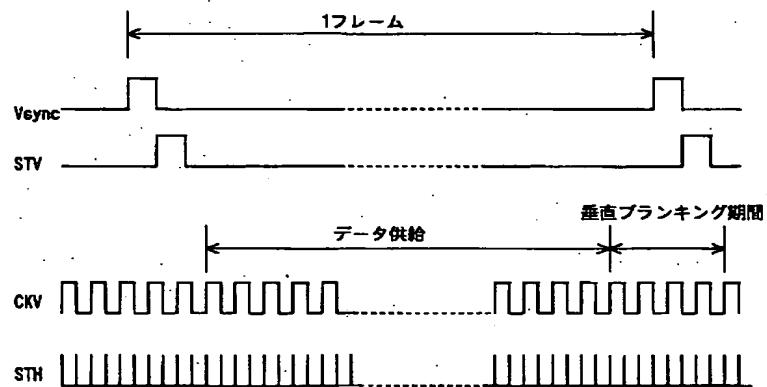


(8)

【図4】



【図6】



フロントページの続き

(51) Int. Cl. 7 識別記号 F I テーマコード (参考)  
 G 09 G 3/20 6 2 3 G 09 G 3/20 6 2 3 D

(72) 発明者 藤岡 誠  
 大阪府守口市京阪本通2丁目5番5号 三  
 洋電機株式会社内

F ターム (参考) 2H092 JA24 PA13  
 2H093 NA16 NC01 NC22 NC34 NC42  
 NC50 ND12  
 5C006 AA22 AB05 AF68 BB16 BC16  
 BF24 BF26 FA16  
 5C080 AA10 BB05 CC03 DD01 EE26  
 EE32 FF11 JJ02 JJ04